

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204142

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/8234
H01L 27/088
H01L 29/78

(21)Application number : 07-008597

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 24.01.1995

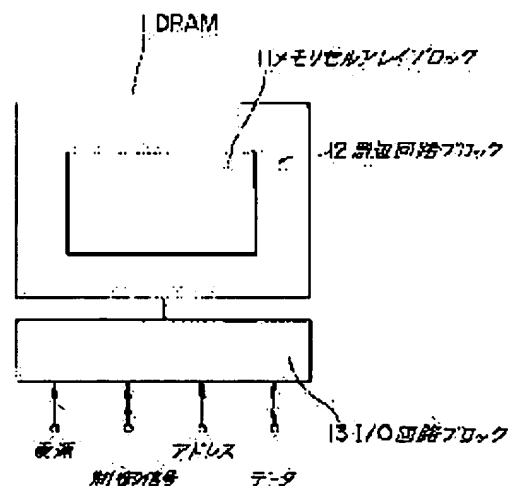
(72)Inventor : KITA AKIO

(54) DYNAMIC RANDON ACCESS MEMORY

(57)Abstract:

PURPOSE: To realize a high density rapid DRAM by satisfying the high level write-in compensation and the cut off characteristics of transistor in the memory cell region of the DRAM as well as improving the drive force of a transistor in the peripheral circuit region.

CONSTITUTION: Within a DRAM 1, the gate insulating film of a transistor of a memory cell array block 11 comprising a memory cell is formed thicker than the gate insulating film of respective transistors of the peripheral circuit block 12 (peripheral circuit region) and an I/O circuit block 13 (I/O circuit region). Besides, the gate insulating film of respective transistors in the memory cell region and the I/O circuit region are formed thicker than the gate insulating film of respective transistors excluding these gate insulating films.



LEGAL STATUS

[Date of request for examination]

24.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3193581
[Date of registration]	25.05.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204142

(43) 公開日 平成8年(1996)8月9日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/8242				
21/8234				
	7735-4M		H 0 1 L 27/ 10	6 8 1 F
			27/ 08	1 0 2 C
			審査請求 未請求	請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平7-8597

(22) 出願日 平成7年(1995)1月24日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 北 明夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

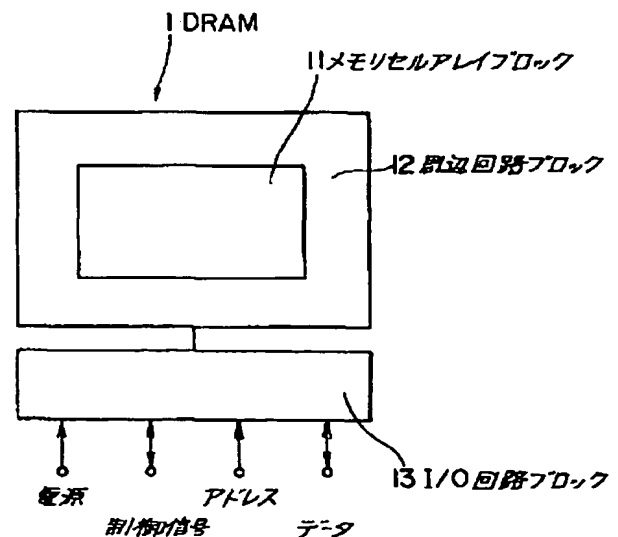
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 ダイナミックランダムアクセスメモリ装置

(57) 【要約】

【目的】 本発明は、DRAMのメモリセル領域におけるトランジスタのカットオフ特性とハイレベルの書き込み補償を満足するとともに周辺回路領域のトランジスタの駆動力を向上させて、高密度高速DRAMの実現を図る。

【構成】 DRAM1において、メモリセル領域を構成するメモリセルアレイブロック11のトランジスタのゲート絶縁膜（図示せず）を、周辺回路ブロック12（周辺回路領域）およびI/O回路ブロック13（I/O回路領域）の各トランジスタのゲート絶縁膜よりも厚く形成したものである。またはメモリセル領域およびI/O回路領域の各トランジスタのゲート絶縁膜を、それ以外の各トランジスタのゲート絶縁膜よりも厚く形成したものである。



第1発明の実施例に関するDRAMの構成図

1

【特許請求の範囲】

【請求項 1】 1 トランジスタ 1 キャパシタ型のダイナミックランダムアクセスメモリ装置において、メモリセル領域のトランジスタのゲート絶縁膜を、該メモリセル領域以外のトランジスタのゲート絶縁膜よりも厚く形成したことを特徴とするダイナミックランダムアクセスメモリ装置。

【請求項 2】 請求項 1 記載のダイナミックランダムアクセスメモリ装置において、

メモリセル領域におけるトランジスタのゲート絶縁膜の厚さ T_{ox} は、動作遅延時間に関するマージン係数を α 、該トランジスタのしきい値電圧を V_t 、ハイレベルの電圧を V_{cc} 、該トランジスタのゲート絶縁膜が信頼性上許容できる最大電界を E_{oxmax} として、 $T_{ox} > (\alpha V_t + V_{cc}) / E_{oxmax}$ なる関係を満足することを特徴とするダイナミックランダムアクセスメモリ装置。

【請求項 3】 1 トランジスタ 1 キャパシタ型のダイナミックランダムアクセスメモリ装置において、

メモリセル領域および入出力回路領域の各トランジスタのゲート絶縁膜を、該メモリセル領域および該入出力回路領域以外のトランジスタのゲート絶縁膜よりも厚く形成したことを特徴とするダイナミックランダムアクセスメモリ装置。

【請求項 4】 請求項 3 記載のダイナミックランダムアクセスメモリ装置において、

メモリセル領域および入出力回路領域における各トランジスタのゲート絶縁膜の厚さ T_{ox} は、動作遅延時間に関するマージン係数を α 、該トランジスタのしきい値電圧を V_t 、ハイレベルの電圧を V_{cc} 、該トランジスタのゲート絶縁膜が信頼性上許容できる最大電界を E_{oxmax} として、 $T_{ox} > (\alpha V_t + V_{cc}) / E_{oxmax}$ なる関係を満足することを特徴とするダイナミックランダムアクセスメモリ装置。

【請求項 5】 請求項 3 または請求項 4 記載のダイナミックランダムアクセスメモリ装置において、外部電源電圧を降圧する電圧変換回路を内蔵していることを特徴とするダイナミックランダムアクセスメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高集積、低消費電力、高速動作をめざした CMIS (Complimentary Metal Insulator Semiconductor) 型ダイナミックランダムアクセスメモリ装置に関するものである。

【0002】

【従来の技術】 ダイナミックランダムアクセスメモリ装置 (以下 DRAM と記す) の高集積化には目ざましいものがあり、近年では 1 チップに 64 メガビットを集積した DRAM も実用化されつつある。このような高集積化は、微細加工技術の目ざましい進歩によるところが大き

2

く、それに加えてスケーリング則によるトランジスタの高性能化によるところが大きかった。上記のような DRAM では、メモリセル領域、周辺回路領域および入出力回路領域の各トランジスタのゲート絶縁膜となるゲート酸化膜はほぼ同じの厚さに形成されていた。

【0003】

【発明が解決しようとする課題】 1 ビットが一つの蓄積用キャパシタと一つのスイッチング用トランジスタとから構成されている DRAM では、スイッチングトランジスタのリーク電流を厳しく抑えなければならない。これは、ビジーレートが一定になるようにリフレッシュ時間が一代ごとに二倍に長大化していることと、低消費電力化のためにリフレッシュ時間がより長くなる傾向とからさらに厳しくなっているためである。スイッチングトランジスタのリーク電流を抑制するには、カットオフ特性を改善する必要がある、そのためにゲート酸化膜をより薄く形成する方策がとられている。さらに周辺回路トランジスタの駆動力を高める上でもゲート酸化膜をより薄く形成する方策がとられている。一方、トランジスタ自身のしきい値電圧によるキャパシタへの書き込み時の電圧低下を防ぐため、ワード線の電圧をしきい値電圧以上に上げる方法が従来より採用されているが、この方法では、信頼性上ゲート酸化膜にかけられる最大電界からゲート酸化膜の薄膜化にも限界が生じる。最近ではそのトレードオフが成立する領域がなくなりつつあり、高密度高速 DRAM を実現することが困難になってきた。

【0004】

【課題を解決するための手段】 本発明は、上記課題を解決するためになされた DRAM であり、第 1 発明の DRAM は、メモリセル領域のトランジスタのゲート絶縁膜を、このメモリセル領域以外のトランジスタのゲート絶縁膜よりも厚く形成したものである。また第 2 発明の DRAM は、メモリセル領域および入出力回路領域 (以下 I/O 回路領域と記す) の各トランジスタのゲート絶縁膜を、メモリセル領域および I/O 回路領域以外の各トランジスタのゲート絶縁膜よりも厚く形成したものである。

【0005】

【作用】 上記第 1 発明の DRAM では、メモリセル領域のトランジスタのゲート絶縁膜を、このメモリセル領域以外のトランジスタのゲート絶縁膜よりも厚く形成したことから、メモリセル領域のトランジスタのカットオフ特性とハイレベルの書き込み補償が満足される。それとともに、周辺回路領域および I/O 回路領域の各トランジスタのゲート絶縁膜は薄く形成されることになるので、各トランジスタの駆動力は高まる。

【0006】 また第 2 発明の DRAM は、メモリセル領域および I/O 回路領域のトランジスタのゲート絶縁膜を、メモリセル領域および I/O 回路領域以外のトラン

50

3

ジスタのゲート絶縁膜の厚さよりも厚く形成したことから、メモリセル領域のトランジスタのカットオフ特性とハイレベルの書き込み補償が満足される。それとともに、周辺回路部のトランジスタのゲート絶縁膜は薄く形成されることになるので、このトランジスタの駆動力は高まる。

【0007】

【実施例】第1発明の実施例を図1の構成図によって説明する。図では、1トランジスタ/1キャパシタ型DRAMの構成の一例を示す。

【0008】図に示すように、DRAM1は1トランジスタ/1キャパシタ型のもので、メモリセル領域となるメモリセルアレイブロック11の周辺には、このメモリセルアレイを駆動する回路やメモリセルアレイからの信号を処理する回路等を含む周辺回路領域となる周辺回路ブロック12が配置されている。さらに上記周辺回路ブロック12に接続した状態に外部との信号のやりとりを行う入出力回路領域となるI/O回路ブロック13が配置されている。上記各ブロック11～13に用いられているMOSトランジスタのゲート絶縁膜となるゲート酸化膜厚（図示省略）は、それぞれ T_{OXCELL} 、 T_{OXPERI} 、 $T_{OXI/O}$ とすると、(1)式のような関係に設定されている。

【0009】

【数1】

$T_{OXCELL} > T_{OXPERI} = T_{OXI/O} \quad \dots (1)$

【0010】次に、上述したゲート酸化膜の厚さの関係を満足するDRAM1を実現するための製造方法について、図2の製造工程図（その1）および図3の製造工程図（その2）によって説明する。

【0011】まず図2の(1)に示すように、抵抗率 $10\Omega\text{cm}$ 程度のP型の半導体基板（例えばシリコン基板）101を用意し、例えばLOCOS法によって、上記半導体基板101の表面側の所定領域にフィールド酸化膜102を形成する。なお、図には示さないが、CMOSトランジスタを構成する場合には予めウェル領域を形成しておく。さらにソフトエラーを防止するためにメモリセル領域に二重のウェルを形成した構造にしてもよい。続いてNチャネルトランジスタおよびPチャネルトランジスタの各しきい値電圧を設定値に仕上げるために、 V_t 制御インプラを各Nチャネルトランジスタの形成予定領域およびPチャネルトランジスタの形成予定領域に対して行う。さらに熱酸化法によってアクティブ領域に酸化膜151を例えば4nm程度の厚さに形成する。

【0012】続いて図2の(2)に示すように、レジスト膜を形成してそのパターニングを行い、メモリセル領域131を覆う状態にレジストパターン152を形成する。このレジストパターン152をエッチングマスクにして、メモリセル領域以外のアクティブ領域132上の

4

酸化膜151（2点鎖線で示す部分）を希フッ酸水溶液によるエッチングによって除去する。

【0013】次いで、既知のレジスト除去技術によって上記レジストパターン152を除去する。その後図2の(3)に示すように、熱酸化法によって、ゲート酸化膜103、104を同時に形成する。このとき、メモリセル領域131以外のゲート酸化膜104が6nmとなるようにする。その場合、メモリセル領域131には予め酸化膜151〔(2)参照〕が形成されていたため、ゲート酸化膜103の膜厚はゲート酸化膜104よりも厚い8nm程度の膜厚になる。なお、シリコンの熱酸化では、反応律速と拡散律速とが競合するので、二度の酸化による総膜厚は単純な算術加算とはならない。

【0014】続いて図2の(4)に示すように、CVD法によって、上記構造の上に多結晶シリコン膜を堆積する。そしてリソグラフィーおよびエッチングによって、多結晶シリコン膜をパターニングして、ゲート電極105およびゲート電極106を形成する。その後イオン注入法によって、ソース・ドレイン拡散層107およびソース・ドレイン拡散層108を形成する。

【0015】次いで上記構造の上にメモリセルのキャパシタを形成していく。図3の(1)に示すように、まずCVD法によって、例えば酸化シリコンを堆積して層間絶縁膜109を形成し、その後リソグラフィーおよびエッチングによって、上記層間絶縁膜109の所定位置〔ソース・ドレイン領域107a（107）上〕にコンタクトホール110を開孔する。そしてCVD法によって、多結晶シリコン膜を形成した後、リソグラフィーおよびエッチングによって上記多結晶シリコン膜をパターニングし、キャパシタの下層電極111を形成する。さらにCVD法によって、窒化シリコン膜および多結晶シリコン膜を順に形成する。その後、リソグラフィーおよびエッチングによってこの多結晶シリコン膜および窒化シリコン膜をパターニングし、上記窒化シリコン膜でキャパシタの誘電体薄膜112を形成するとともに上記多結晶シリコン膜でキャパシタの上層電極113を形成する。

【0016】次いでCVD法によって、キャパシタとビット線とを分離する層間絶縁膜114を形成し、リソグラフィーおよびエッチングによって、上記層間絶縁膜114の所定位置〔ソース・ドレイン領域107b（107）上〕にコンタクトホール115を開孔する。さらに、導電材として例えばタングステンボリサイド膜を形成した後、リソグラフィーおよびエッチングによってパターニングを行い、ビット線116を形成する。

【0017】続いてさらに上記構造上に金属配線層を形成していく。図3の(6)に示すように、CVD法によって酸化シリコンを堆積して層間絶縁膜117を形成し、リソグラフィーおよびエッチングによってコンタクトホール118を上記層間絶縁膜117の所定位置〔ソ

5

ース・ドレイン領域108上)に開口する。その後タングステンポリサイドのような導電材料をプラグ119として埋め込む。そしてスパッタリングによってアルミニウム合金を堆積して金属層を形成する。そしてリソグラフィおよびエッチングによって金属層をパターンニングし、配線層120を形成する。最後にパッシベーション膜121を形成した後、図には示さないボンディング用のパッド部を開口してウエハプロセスを終了する。

【0018】次にゲート酸化膜の別の製造方法を図4の製造工程図によって説明する。図4の(1)は、半導体基板101上の所定位置にフィールド酸化膜102を形成する。その後ゲート酸化膜152を形成し、メモリセル領域131以外のトランジスタのゲート電極106をパターンニングした後の構造を示している。

【0019】続いて少なくとも上記ゲート電極106の下方のゲート酸化膜152は残して、メモリセル領域131上のゲート酸化膜152を除去する。次いで図4の(2)に示すように、熱酸化法によって、新たにゲート酸化膜103を形成する。このとき、ゲート電極106の下面側におけるゲート酸化膜152は成長しないので、その膜厚は変化しない。またこの熱酸化では、メモ

$$I_{LMAX}' = [(1/2 V_{cc} \cdot C_s) / T_{REF}] \eta \quad \dots (2)$$

【0022】256Mビットクラスを想定して、具体的な数値を代入してみる。Cs = 25 fF、Vcc = 1.5 V、 $\eta = 20\%$ 、ローパワーモードを考慮して通常の8倍を設定してTREF = 1024 msとする。この許容リークILMAX'にはキャパシタや接合リークなどのリーク成分も含まれるので、トランジスタ自体の許容リークILMAXはマージンをとり全体の1/10とすると0.37 fAとなる。この値を最大動作温度、例えば80℃で満足しなければならない。ここでトランジスタのリークモードとして、特に留意しなければならないのはパンチスルーである。もう一つの仕様であるハイレベルの書き込み補償からくる制限は、トランジスタのゲート酸化膜の耐圧である。ハイレベルの書き込み補償のためには、ゲートに接続されているワード線をVccよりもブートストラップして高電圧をかける方法が従来より広く用いられてきている。ハイレベルの書き込み補償の条件は(3)式のようになる。

【0023】

$$[数3] V_{WL} > V_{cc} + \alpha \cdot V_{t'} \quad \dots (3)$$

【0024】ここで、VWLはワード線の書き込み時の電圧、 α はワード線遅延などを考慮したマージン係数で回路設計にもよるが、例えば1.1~1.5程度の範囲の所定値に設定する。また、Vt'はバックバイアスがVcc+Vbbのときのしきい値電圧である。これはハイレベルの書き込み時にはトランジスタのソースがVccとなっているためである。Vbbは基板バイアスである。ゲート酸化膜にかけられる最大電界をEoxmax、ゲート酸化膜圧をToxとすると上記(3)式は近似して(4)式のよ

6

*リセル領域131以外のアクティブ領域上も酸化され、ゲート電極106が多結晶シリコンからなる場合にはその表面も酸化される。そして上記ゲート酸化膜103上にメモリセル領域131のゲート電極105をパターンニングする。このようにして膜厚が異なる二種類のゲート酸化膜152、103を形成することができる。

【0020】次に上記図1によって説明した構成のDRAM1の動作を説明する。DRAM1のメモリセル領域のトランジスタ(以下メモリセルトランジスタと記す)に要求される重要な仕様として、データの保持状態におけるカットオフリークとハイレベルの書き込み補償がある。このうちカットオフリークの仕様については許容リーク電流の計算によって導かれる。データ破壊を防ぐためには、次のリフレッシュまでの間にセルの電荷消失がある割合以下でなければならない。ここでメモリセルのキャパシタ容量をCs、ハイレベルの書き込み電圧をVcc、セルプレート電圧を1/2 Vcc、許容電荷消失率を η 、リフレッシュ間隔をTREFとすると、許容リーク電流ILMAX'は(2)式のように表せる。

【0021】

【数2】

うになる。

【0025】

【数4】

$$V_{t'} < (E_{oxmax} \cdot T_{ox} - V_{cc}) / \alpha \quad \dots (4)$$

【0026】さらに(4)式を変形すると(5)式のようになる。

【0027】

【数5】

$$T_{ox} > (\alpha V_{t'} + V_{cc}) / E_{oxmax} \quad \dots (5)$$

【0028】トランジスタのリーク電流を前述のように厳しく抑えるためには、しきい値電圧を高く設定しなければならない、一方、ハイレベルの書き込み補償のためにはしきい値電圧は低く設定しなければならない。特に、ゲート酸化膜厚が薄くなってきているので、ゲート酸化膜にかけられる最大電圧からの制限が厳しい。

【0029】図5は上記関係を示したグラフであり、縦軸にトランジスタのしきい値電圧、横軸にゲート酸化膜厚をとってある。ゲート酸化膜にかけられるイントリンシクな許容最大電界は、10 MV/cm以上であるが、ゲート酸化膜の不完全性などに起因する実用的な長期信頼性上の許容最大電界Eoxmaxは3 MV/cm以上5 MV/cm以下程度である。図においては、Eoxmax = 4.5 MV/cmとしてある。図中の実線はリーク電流の制限からくるしきい値電圧の下限を示している。ゲート酸化膜を薄膜化していくと、カットオフ特性が改善されてより低いしきい値電圧でリーク電流の仕様が達成できる。一方、図中の点線で示したハイレベルの書き込み補償からくるしきい値電圧の上限はゲート酸化膜厚に

7

比例している。両者のトレードオフが成り立つ範囲は、図中の斜線で示す領域となる。この例では、ゲート酸化膜厚の薄膜化は6.5nm程度までで、それ以下ではハイレベルの書き込み補償ができなくなる。そこで、メモリセルトランジスタのゲート酸化膜厚を8nm程度にして、周辺回路ブロックおよびI/O回路ブロックのトランジスタのゲート酸化膜厚をそれよりも薄い6nm程度に設定する。

【0030】このように、メモリセルトランジスタのゲート酸化膜厚を周辺回路ブロックおよびI/O回路ブロックの各トランジスタのゲート酸化膜厚よりも厚く設定するとにより、メモリセルトランジスタのカットオフとハイレベルの書き込み補償を満足するとともに、周辺回路部およびI/O回路部の各トランジスタの駆動力を高めることができる。したがって、高密度でかつ高速動作が可能なDRAMデバイスを実現できる。

【0031】次に第2発明の実施例を図6の構成図によって説明する。図に示すように、1トランジスタ/1キャパシタ型のDRAM2のメモリセルアレイブロック（メモリセル領域）21の周辺には、このメモリセルアレイを駆動する回路やメモリセルアレイからの信号を処理する回路等を含む周辺回路ブロック（周辺回路領域）22が配置されている。さらに外部との信号のやりとりを行うI/O回路ブロック（入出力回路領域）23が上記周辺回路に接続した状態に配置されている。さらに外部電源を高圧する電圧変換回路24が電源とI/O回路ブロック23との間に設けられている。

【0032】上記電圧変換回路24は、微細なトランジスタで構成された内部回路を低電圧で動作させ、低消費電力化とホットキャリア等による信頼性の低下を防ぐと同時に、外部のデバイスとは従来の入出力電圧によるインターフェースをとる。そのために、例えば外部電源電圧が3.3Vであるとき、2.5Vに降圧して内部回路に電源を供給する。この電圧変換回路24を内蔵することにより、メモリチップへの電源は単一で済む。また内部の周辺回路のトランジスタは低電圧においても高速動作が可能のようにできるだけ薄いゲート酸化膜を用いる。一方、I/O回路のトランジスタでは、高い外部電圧においても十分な信頼性が得られるように、周辺回路ブロックのトランジスタのゲート酸化膜よりも厚いゲート酸化膜を用いる。したがって、メモリセル領域、周辺回路領域、I/O回路領域に用いられているMOSトランジスタのゲート酸化膜厚をそれぞれ T_{OXCELL} 、 T_{OXPERI} 、 $T_{OXI/O}$ とすると、(6)式のような関係になる。

【0033】

【数6】

$$T_{OXCELL} = T_{OXI/O} > T_{OXPERI} \quad \dots (6)$$

【0034】上記(6)式を満足するようにトランジスタのゲート酸化膜の厚さを変えてDRAMを製造する方

8

法は、上記図2、図3によって説明したのと同様のプロセスである。そのため、ここではその説明は省略する。なお、メモリセル領域のゲート酸化膜とI/O回路領域のゲート酸化膜とは同時に形成すれば、 $T_{OXCELL} = T_{OXI/O}$ なる関係は満足される。

【0035】次に上記DRAM2の動作の説明を行う。上記第1発明の実施例と同様にして、DRAM2のメモリセルトランジスタに要求されるカットオフリークの様について、許容リーク電流は、上記説明した(2)式のようになる。そして256Mビットクラスを想定した場合のトランジスタ自体の許容リーク電流 I_{LMAX} は、一例として $I_{LMAX} = 0.37 \mu A$ となる。この値を最大動作温度、例えば80℃で満足しなければならない。

【0036】もう一つの仕様であるハイレベルの書き込み補償からくる制限は、トランジスタのゲート酸化膜の耐圧である。ハイレベルの書き込み補償のためには、ゲートに接続されているワード線を V_{CC} よりもブートストラップして高電圧をかける方法が従来より広く用いられてきている。ハイレベル書き込み補償の条件は上記説明した(3)式のようになり、それを変形すると上記(5)式のようになる。

【0037】そしてメモリセルトランジスタのリーク電流の制限からくるしきい値電圧の下限とハイレベルの書き込み補償からくるしきい値電圧の上限はトレードオフの関係にある。そのため、ゲート酸化膜厚の薄膜化の下限は、上記第1発明の実施例で説明したのと同条件であれば、6.5nm程度で、それ以下ではハイレベルの書き込み補償ができなくなる。そこで例えば、メモリセルトランジスタのゲート酸化膜厚を8nm程度にし、周辺回路ブロックのトランジスタのゲート酸化膜厚をそれよりも薄い6nm程度にする。また、I/O回路ブロックのトランジスタのゲート酸化膜には、内部よりも高い外部電源電圧がかかるので、メモリセルトランジスタと同じ8nm程度とする。

【0038】このように、メモリセルアレイブロック21のトランジスタのゲート酸化膜厚およびI/O回路ブロック23のトランジスタのゲート酸化膜厚を周辺回路ブロック22のトランジスタのゲート酸化膜厚よりも厚く設定するとにより、メモリセルトランジスタのカットオフとハイレベルの書き込み補償を満足する。それとともに、周辺回路ブロック22のトランジスタの駆動力が高められる。また外部電源を降圧する電圧変換回路24を介することなく高い電源電圧のかかるI/O回路ブロック23のトランジスタのゲート酸化膜厚を厚くすることで信頼性も向上される。さらにメモリセルアレイブロック21のトランジスタとI/O回路ブロック23のトランジスタのゲート酸化膜を同一にしているため、工程の増大を最小に抑えられる。したがって、高密度でかつ高速動作が可能なDRAMデバイスを実現される。

9

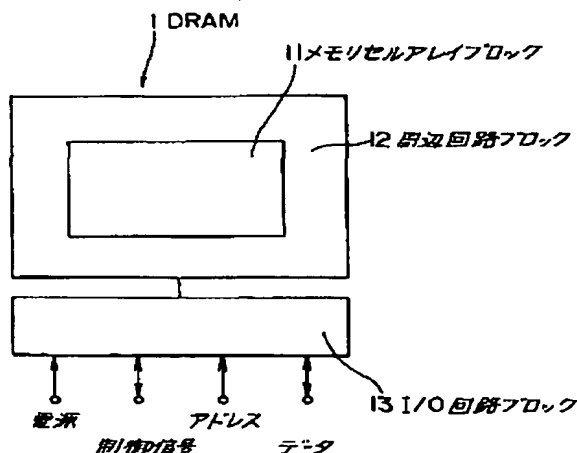
【0039】以上の説明では、256Mb DRAMレベルのパラメータ設定を用いたが、他の世代のDRAMデバイスにおいても適用が可能である。またメモリセルの形式としては、製造方法で説明したスタック型以外のものであっても差し支えない。

【0040】

【発明の効果】以上、説明したように第1発明によれば、DRAM装置のメモリセル領域におけるトランジスタのゲート絶縁膜を、メモリセル領域以外におけるトランジスタのゲート絶縁膜よりも厚く形成したので、メモリセルトランジスタのカットオフリークと、ハイレベルの書き込み補償を満足するとともに、周辺回路領域および入出力回路領域のトランジスタの駆動力を高めることができる。したがって、高密度でかつ高速動作可能なDRAMデバイスを実現できる。

【0041】また第2発明によれば、DRAM装置のメモリセル領域および入出力回路領域における各トランジスタのゲート絶縁膜を、メモリセル領域および入出力回路領域以外におけるトランジスタのゲート絶縁膜よりも厚く形成したので、メモリセルトランジスタのカットオフリークと、ハイレベルの書き込み補償を満足するとともに、周辺回路領域のトランジスタの駆動力を高めるこ *

【図1】



第1発明の実施例に関するDRAMの構成図

10

*とができる。したがって、高密度でかつ高速動作可能なDRAMデバイスを実現できる。

【図面の簡単な説明】

【図1】第1発明の実施例に関するDRAMの構成図である。

【図2】第1発明のDRAMの製造工程図(その1)である。

【図3】第1発明のDRAMの製造工程図(その2)である。

【図4】ゲート酸化膜の別の製造工程図である。

【図5】しきい値電圧とゲート酸化膜厚との関係図である。

【図6】第2発明の実施例に関するDRAMの構成図である。

【符号の説明】

1, 2 DRAM

11, 21 メモリセルアレイブロック

12, 22 周辺回路ブロック

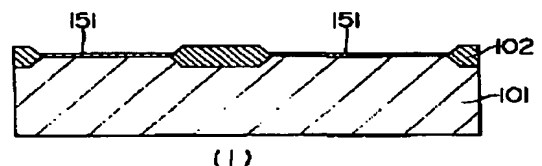
13, 23 I/O回路ブロック

24 電圧変換回路

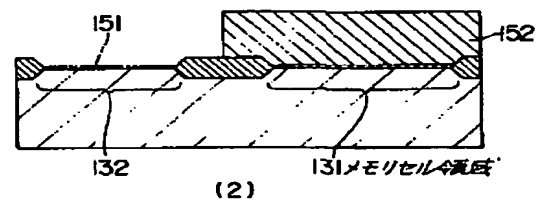
103, 104, 152 ゲート酸化膜

131 メモリセル領域

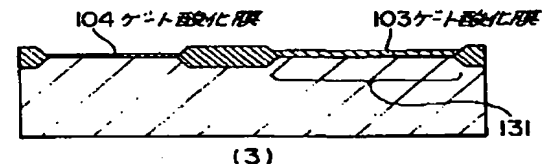
【図2】



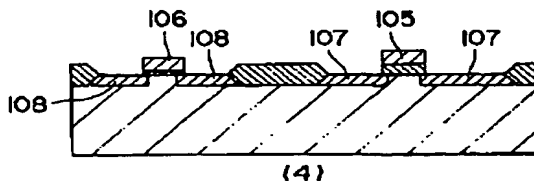
(1)



(2)



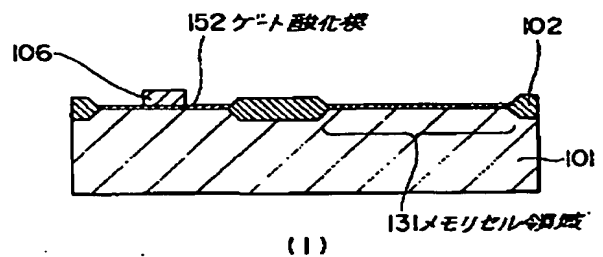
(3)



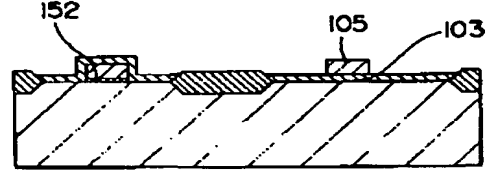
(4)

第1発明のDRAMの製造工程図(その1)

【圖 4】



(1)



ゲート酸化膜の別の製造工程図

【例 5】



2 DRAM

21 メモリセルアレイブロック

22 周辺回路ブロック

23 I/O 回路ブロック

電源

制御信号

アドレス

データ

24 電圧変換回路

第2発明の実施例に関するDRAMの構成図

フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/088
29/78

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H 0 1 L 27/10
29/786 7 1 Z
3 0 1 G